

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日期：西元 2003 年 12 月 04 日

Application Date

申請案號：092134162

Application No.

申請人：威盛電子股份有限公司

Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

蔡練生

發文日期：西元 2004 年 2 月 6 日
Issue Date

發文字號：09320112890
Serial No.

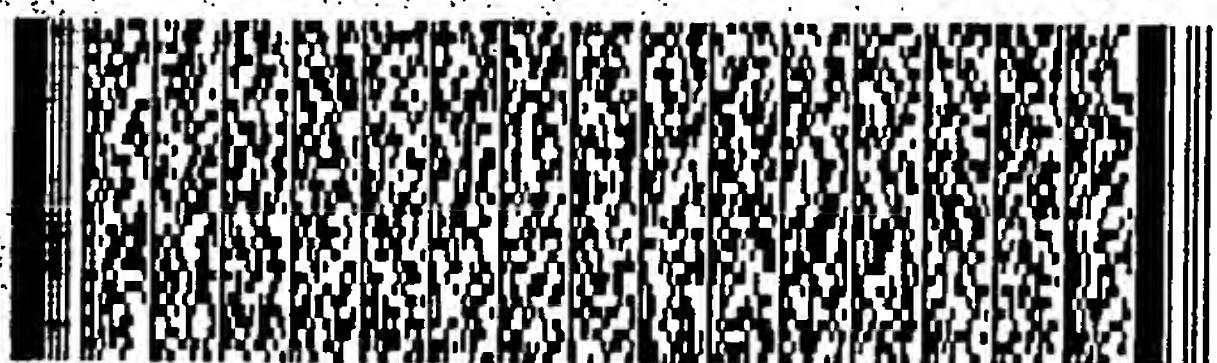
BEST AVAILABLE COPY

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一 發明名稱	中文	精確延遲率控制的線路驅動電路
	英文	PRECISE SLEW RATE CONTROL LINE DRIVER
二 發明人 (共1人)	姓名 (中文)	1. 林小淇
	姓名 (英文)	1. LIN, JOANNA
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路五三三號八樓
住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien 231, Taiwan, R. O. C.	
三 申請人 (共1人)	名稱或 姓名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓名 (英文)	1. VIA TECHNOLOGIES INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)
住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.	
代表人 (中文)	1. 王雪紅	
代表人 (英文)	1. WANG, HSUEH-HUNG	



四、中文發明摘要 (發明名稱：精確延遲率控制的線路驅動電路)

五、英文發明摘要 (發明名稱：PRECISE SLEW RATE CONTROL LINE DRIVER)

A precise slew rate control line driver includes a slew rate control circuit, a first driver, and a second driver. The slew rate control circuit for slew rate control includes a first operational amplifier and a second operational amplifier. The first driver for driving output signal includes a first current source, a second current source, a first group of switches, and a second group of



四、中文發明摘要 (發明名稱：精確延遲率控制的線路驅動電路)

五、英文發明摘要 (發明名稱：PRECISE SLEW RATE CONTROL LINE DRIVER)

switches. The second driver for predetermined transient slope includes a capacitor, a third current source, a fourth current source, a third group of switches, a fourth group of switches,



六、指定代表圖

(一)、本案代表圖為：第 二 圖

(二)、本案代表圖之元件代表符號簡單說明：

10	線路驅動電路	12	第一驅動電路
14	延遲控制電路	16	第二驅動電路
24	第一PMOS電晶體	26	NMOS電晶體
36	第一運算放大器	38	運算放大器
40	第一電容	42	電阻
44	第二電容	46	電容
48	第二NMOS電晶體	50	PMOS電晶體
52	第一開關	S2	開關
S1	第二開關	S4	開關
S3	第三開關	S6	開關
S5	第五開關	S8	開關
S7	第七開關		



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

〔 技 術 領 域 〕

本發明提供一種線路驅動電路，尤指一種可精準控制輸出
信號之延遲率或波形之線路驅動電路。

〔先前技術〕

技術的多數超源及傳輸技術更片於應壓以增加體電路的整合，單晶合以應擺幅現單被，以供號源隨著電壓的縮小。隨速度、信號擺幅的資料的問題變成相當困難。

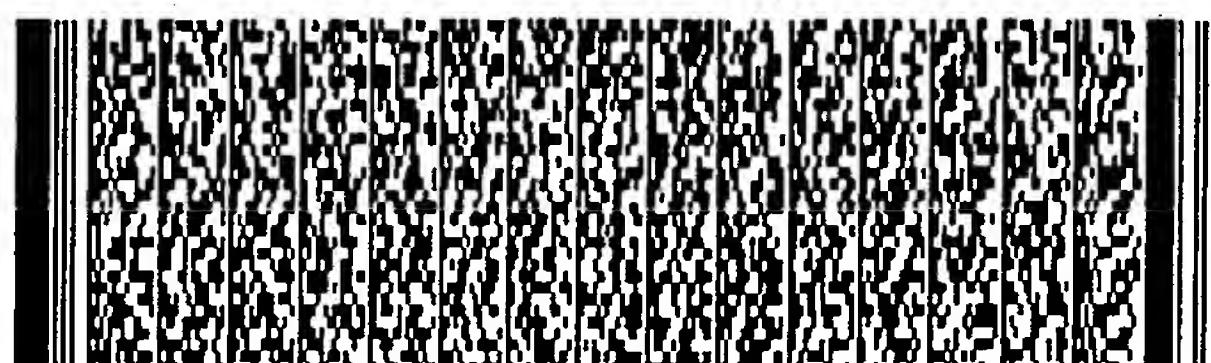
一般的通訊系統是由一收發器(transceiver)來進行資料傳輸，收發器中包含一線路驅動電路(line driver)，用來將輸出信號傳送至包含電容性以及電阻性的不同阻抗的負載上，同時線路驅動電路也要維持高線性度的傳輸。因此，線路驅動電路需具備適應各式阻抗負載的驅動能力，並且盡量地降低階波失真。再者，線路驅動電路必須確保輸出信號的軌對軌(rail-to-rail)共模範圍



五、發明說明 (2)

以及輸出擺幅都在一個可接受的動態範圍之間。為因應線路驅動電路的輸出信號對於軌對軌輸出擺幅以及高輸出電流對靜電流 (quiescent current) 比的需求，線路驅動電路通常會使用互補的 AB 類輸出級，常見的 AB 類輸出級使用電晶體，在輸出改善率能達到最佳的平衡，而又不需重新設計部分的電路，例如利用二互補且頭尾 (head-to-tail) 連接的電晶體，在輸出導極電壓之間導引出一準位移動。另一個可望速度與功率的方法是調整靜電流，使速度與功率達到最佳的平衡，而又不需重新設計部分的電路，例如利用由輸出信號轉換的時序資訊來偵測信號交越並且相對應的補償靜電流。

〔 内 容 〕



因此本發明之主要目的在於提供一種電路結構簡單並且可精準控制輸出信號之線路驅動電路，以解決上述問題。

驅路線率；一控制延遲驅動率控一及遲遲來用以；以確延遲率控二第一種電路信號；以提供控輸出一制例中遲驅動率動。斜率。態用施一用態佳包含，其電設定轉動來明路驅用，動之，較其電路定發電一，動來斜率。

輸大算放入以一正端，其第二之入包含，一大負之輸器及放之大算器放；運大算端一放，運出第一算運第一輸該運接第一及連第一接該運接該輸連輸端輸入正端電入正端控制輸一入負含輸率一包負端。該入器端一輸延遲，其一出

接連端器連端器，之接連端入大端地大一輸放一接放第一正算第一算第一之運一接運一含連二包含大第包端第二其放該其二該其算接，第接連源運連源一連電流一器流，器器電流第一換電端換第一該切二入切第一接第一第輸二第一連第一正第一包含二由源器由端地電路第一端經壓大經地驅動，制該算制該一壓一端二一端該一以輸該以輸第電及出第及出

該第二驅動電路包含一電容，其包含一第一端連接該第一



五、發明說明 (4)

【實施方法】

請參考圖一，圖一為本發明明線路驅動電路10之方塊圖。線路驅動電路10包含三部分，分別為第一驅動電路12、一路延遲率控制電路14以及第二驅動電路16。線路驅動電路10的輸出端(OUT)連接一未知的負載(圖未示)，會干擾線路驅動電路10的輸出信號20，除此之外，溫度的變化以及線路電壓源的不穩定也都會對輸出信號20造成干擾。為了使線路驅動電路10的輸出信號20符合預定的規格，而不受各種干擾的影響，首先依據該預定的規格來設計第二驅動電路16，第二驅動電路16連接第一偏壓信號源(PBIAS)以及一第二偏壓信號源(NBIAS)，其中第一偏壓信號來自一偏壓PMOS電晶體，第二偏壓信號來自一偏壓NMOS電晶體，兩個偏壓源皆為正，此部分將在圖四作進一步說明。第二驅動電路16依據二偏壓信號產生輸出信號18，藉由設定第二驅動電路16的元件值可調整輸出信號18的轉態斜率；



五、發明說明 (5)

路 1 電路 電制 處理 訊號 20 會 比 輸 第 16 路 電路 電動 輸出 訊號 18，使 路 10 的 輸出 信號 20 符合 該 預定 的 規 格。

請參考圖二，圖二為本發明線路驅動電路10之電路圖。對照圖一與圖二，其中，第一驅動電路12包含一第一PMOS電晶體24、一第一NMOS電晶體26、第一開關S1、第二開關S2、第三開關S3以及第四開關S4；延遲率控制電路14包含一第一電容40、一第一電阻42、一第二電容46以及一第二電阻44；第二驅動電路16包含一電容48、一第二PMOS電晶體50、一第二NMOS電晶體52、一第五開關S5、一第六開關S6、一第七開關S7以及第八開關S8。第一PMOS電晶體24的源極連接一電壓源(Vdd)，汲極連接第一運算放大器36的正輸入端，閘極可經由第一開關連接S1接第一運算放大器36的輸出端，或經由第二開關S2連接電壓源。第一NMOS電晶體26的汲極



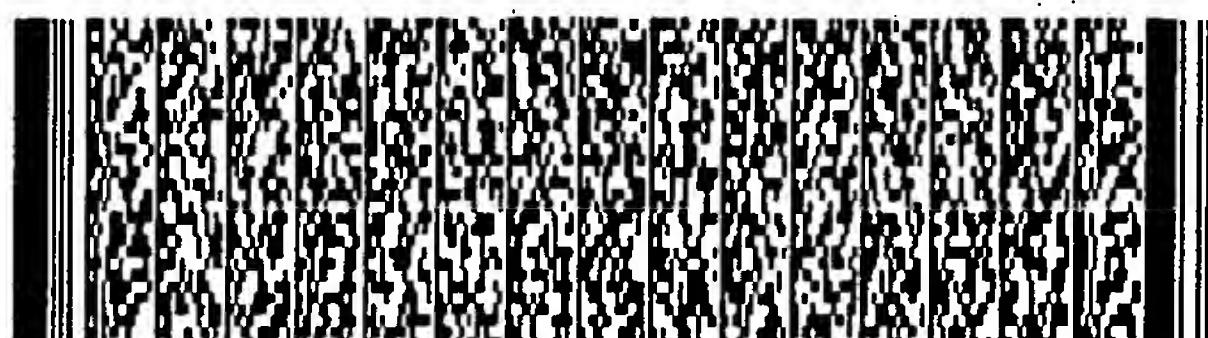
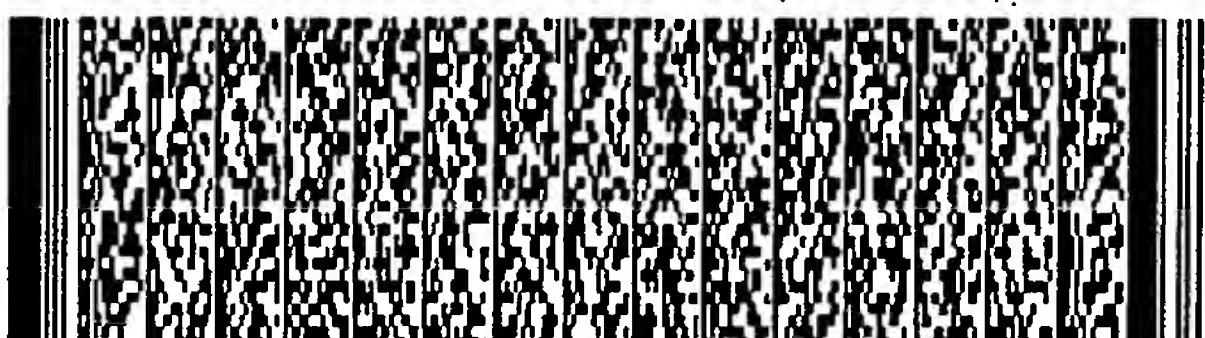
五、發明說明 (6)

線路驅動電路 10 藉由切換來產生迴路，以驅動輸出信號，其中奇數編號的開關（第一、三、五、七開關）為同步，偶數編號的開關（第二、四、六、八開關）為同步，而奇數編號的開關與偶數編號的開關則為反向。運當開啟奇數編號的開關，關閉偶數編號的開關時，第二 PMOS 電晶體 50 的開極連接第一偏壓信號源，第一偏壓信號控制第二 PMOS 電晶體



五、發明說明 (7)

請參考圖三，圖三為本發明線路驅動電路 10之模擬數據之路 16 示意圖。對於不同規格的要求，可由設定第二驅動電路調整輸出中電容 48 以及電晶體 50、52 的輸出電流的大小來調整輸出信號的轉態斜率，以 USB 1.1 LS 的規格為例，輸出信號的上升時間以及下降時間必須介於 75ns-300ns 之間，電容負



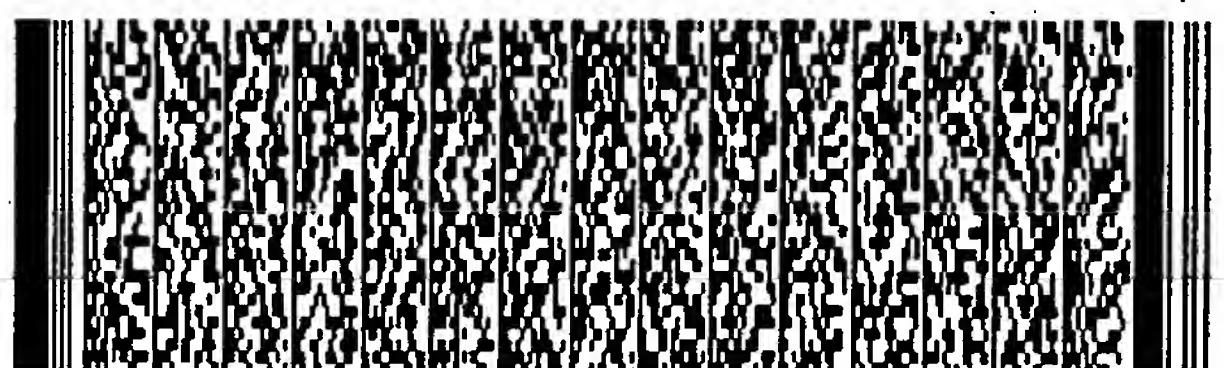
五、發明說明 (8)

載的範圍由 150p-600p，且正負二信號的輸出具有不同的電阻負載。依據此規格，代入電容的求值公式

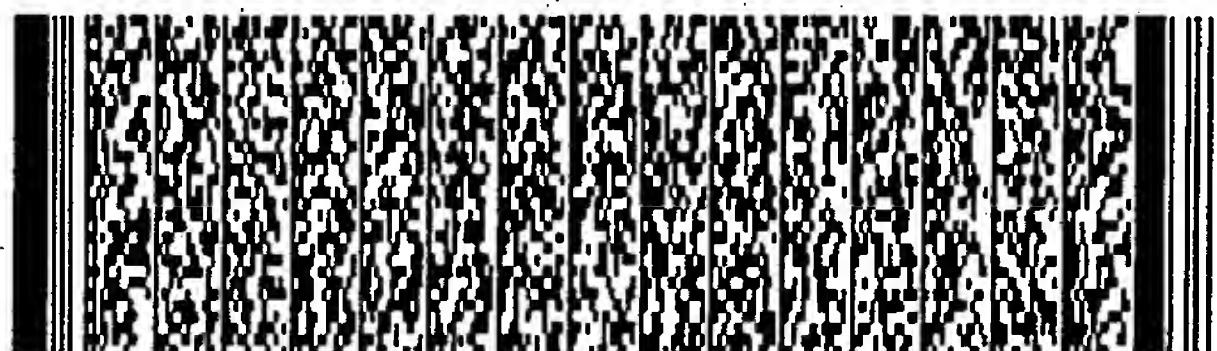
$dV/dT = I/C$ ，其中 dV 取 $0.8 * V_{dd}$ ， $V_{dd} = 3.3V$ ， dT 取 75ns 與 300ns 的幾何平均值 150ns ， I 取操作電流 $25\mu\text{A}$ ，則 $C = 1.42\text{pF}$ ，此電容值很容易在晶片上達成。假設 I 是由參考外部電阻所得到，可以被控制在 5% 的誤差範圍內， C 可由 MOS 電晶體所實現，誤差值在 10% 以內，再加上 V_{dd} 的有 10% 的變動，則在不需修正的情形下，就可以將轉態斜率控制在 25% 的誤差範圍內，而由電路模擬更只得到 20% 的誤差。

上述第二驅動電路 16 所接收的第一、第二偏壓信號源 (PBIAS, NBIAS) 如圖四所示，圖四為圖一中偏壓信號源的產生電路之示意圖。第一偏壓信號源 (PBIAS) 以及第二偏壓信號源 (NBIAS) 來自線路驅動電路 10 的上一級電路，主要是由一個電流鏡所組成，其中第一偏壓信號由一偏壓 PMOS 電晶體的閘極取出，第二偏壓信號由一偏壓 NMOS 電晶體的閘極取出。第一偏壓信號以及第二偏壓信號用來提供第二驅動電路 16 適當的操作電壓。

相較於習知技術，本發明線路驅動電路具有多項的優點，第一，線路驅動電路主要包含第一驅動電路、延遲單路以及第二驅動電路三個部分，電路結構簡單，實現；第二，應用範圍廣泛，線路驅動電路由於結構簡單，所以在設計上具有很大的彈性，適用於不同規格時只需要



五、發明說明 (9)



圖式簡單說明

圖式之簡單說明

圖一為本發明線路之動力電路。圖二為本發明線路之驅動電路。圖三為本發明線路之模擬電路。圖四為圖一中之偏壓信號源的產生電路。據之示意圖。

圖式之符號說明





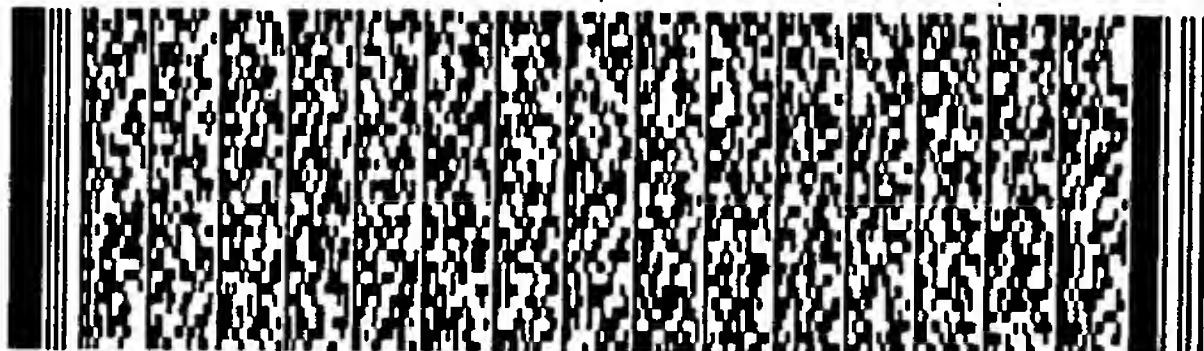
六、申請專利範圍

2. 如申請專利範圍第1項所述之線路驅動電路，其中該第一電流源以及該第三電流源係為PMOS電晶體，其汲極為第一端，源極為第二端，閘極為控制端。
3. 如申請專利範圍第1項所述之線路驅動電路，其中該第二電流源以及該第四電流源係為NMOS電晶體，其汲極為第一端，源極為第二端，閘極為控制端。
4. 如申請專利範圍第1項所述之線路驅動電路，其中該第一切換器包含二開關，用來切換該第一電流源之控制端連接該電壓源或該第一運算放大器之輸出端。
5. 如申請專利範圍第1項所述之線路驅動電路，其中該第二切換器包含二開關，用來切換該第二電流源之控制端連接該地端或該第二運算放大器之輸出端。
6. 如申請專利範圍第1項所述之線路驅動電路，其中該第三切換器包含二開關，用來切換該第三電流源之控制端連接該電壓源或該第一偏壓信號源。
7. 如申請專利範圍第1項所述之線路驅動電路，其中該第四切換器包含二開關，用來切換該第四電流源之控制端連接該接地端或該第二偏壓信號源。



六、申請專利範圍

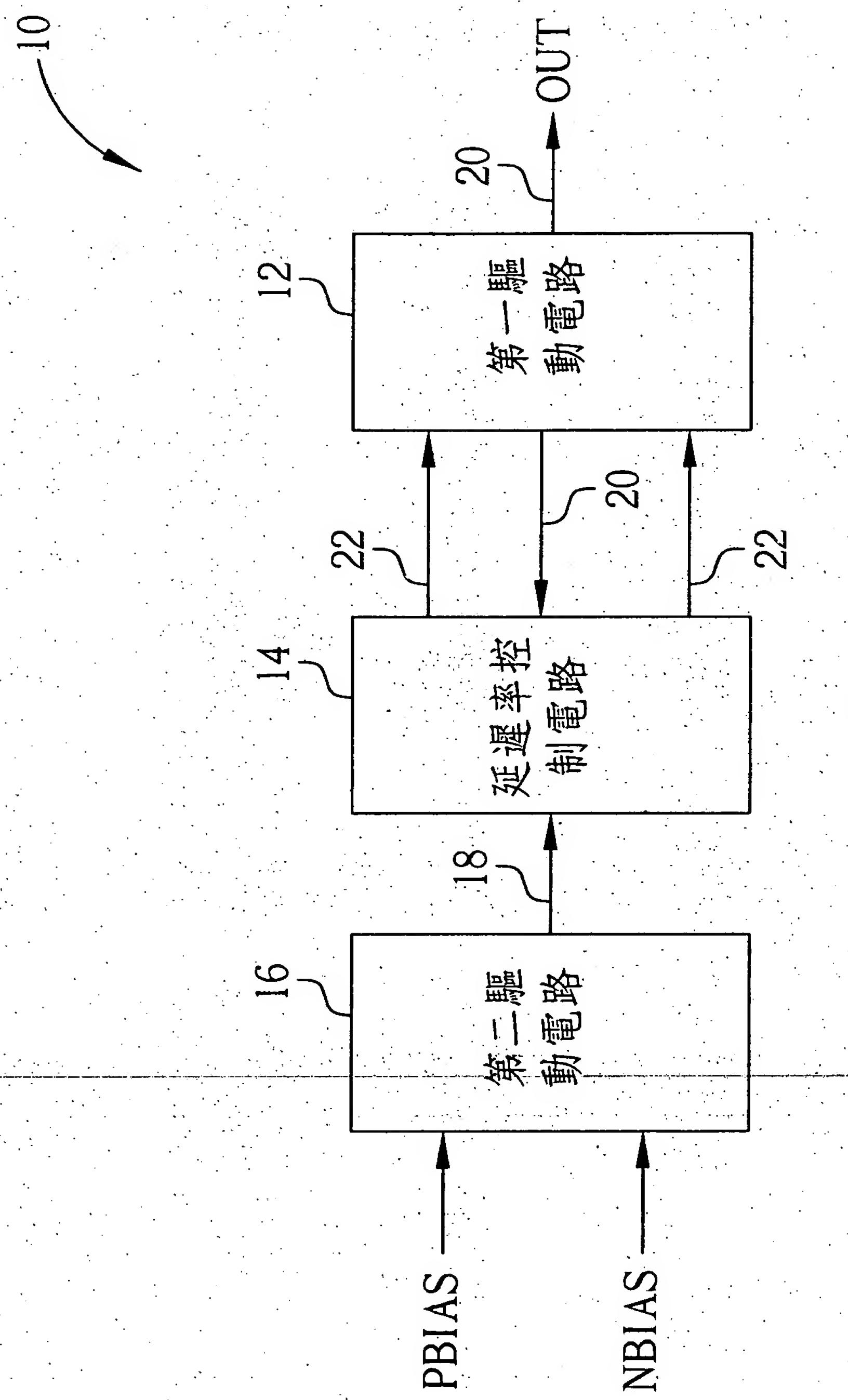
8. 如申請專利範圍第1項所述之線路驅動電路，其另包含第一電容以及第一電阻，串聯連接於第一運算放大器之正輸入端以及輸出端之間。
9. 如申請專利範圍第1項所述之線路驅動電路，其另包含第二電容以及第二電阻，串聯連接於第二運算放大器之正輸入端以及輸出端之間。
10. 如申請專利範圍第1項所述之線路驅動電路，其中該第一運算放大器以及該第二運算放大器係為軌對軌(rail to rail)輸入的運算放大器。
11. 一種控制如申請專利範圍第1項所述之線路驅動電路之方法，其包含下列步驟：
 - (a)切換該線路驅動電路中之第一切換器至連接該第一電流源之控制端於該第一運算放大器之輸出端；
 - 切換該線路驅動電路中之第二切換器至連接該第二電流源之控制端於該第二運算放大器之輸出端；
 - 切換該線路驅動電路中之第三切換器至連接該第三電流源之控制端於該第三運算放大器之輸出端；
 - 切換該線路驅動電路中之第四切換器至連接該第四電流源之控制端於該第四運算放大器之輸出端；
- (b)切換該線路驅動電路中之第一切換器至連接該第一電流源之控制端於該第一運算放大器之正輸入端；



六、申請專利範圍

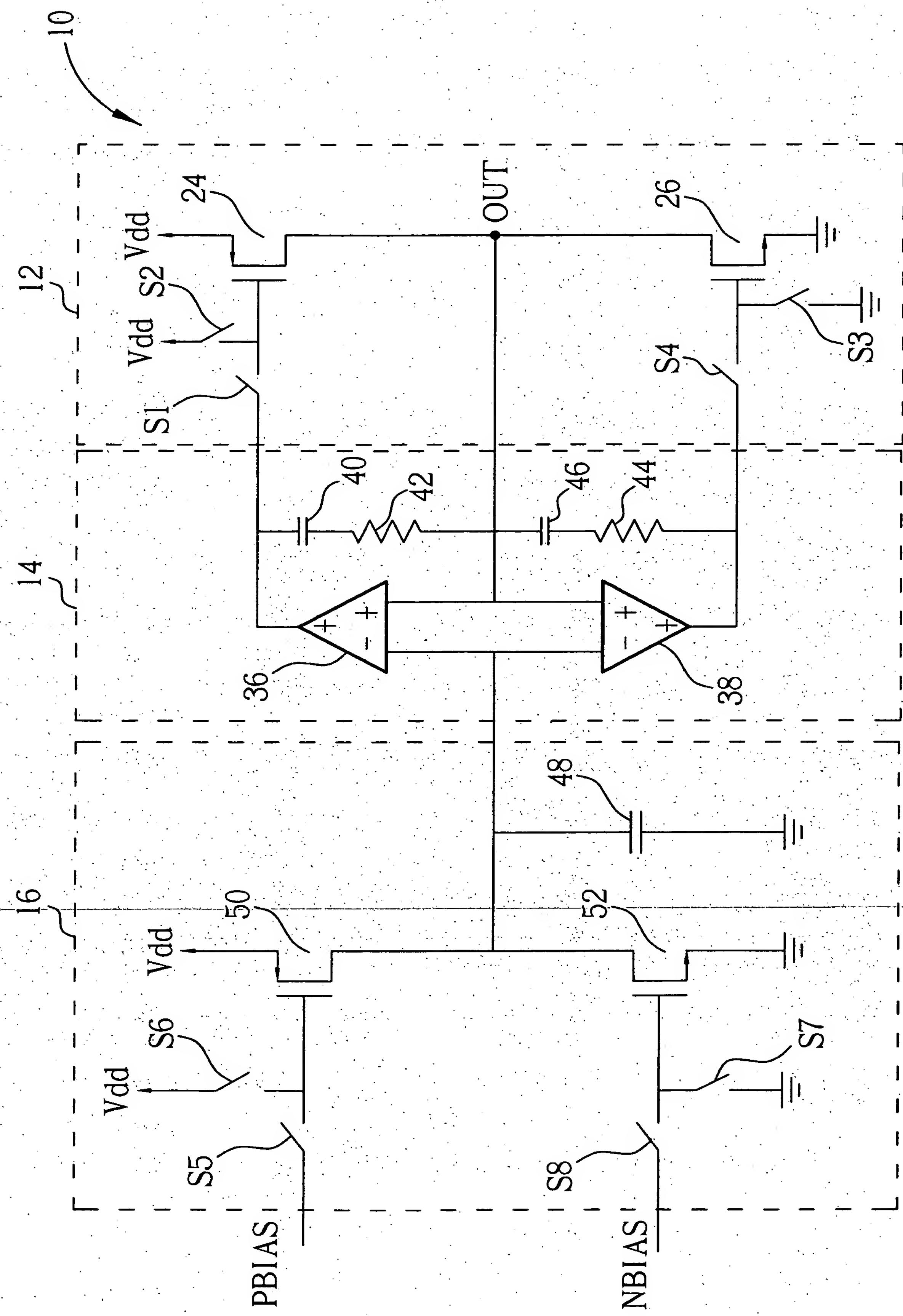
12.如申請專利範圍第11項所述之方法，其中步驟(a)及(b)係執行於相異之時段。



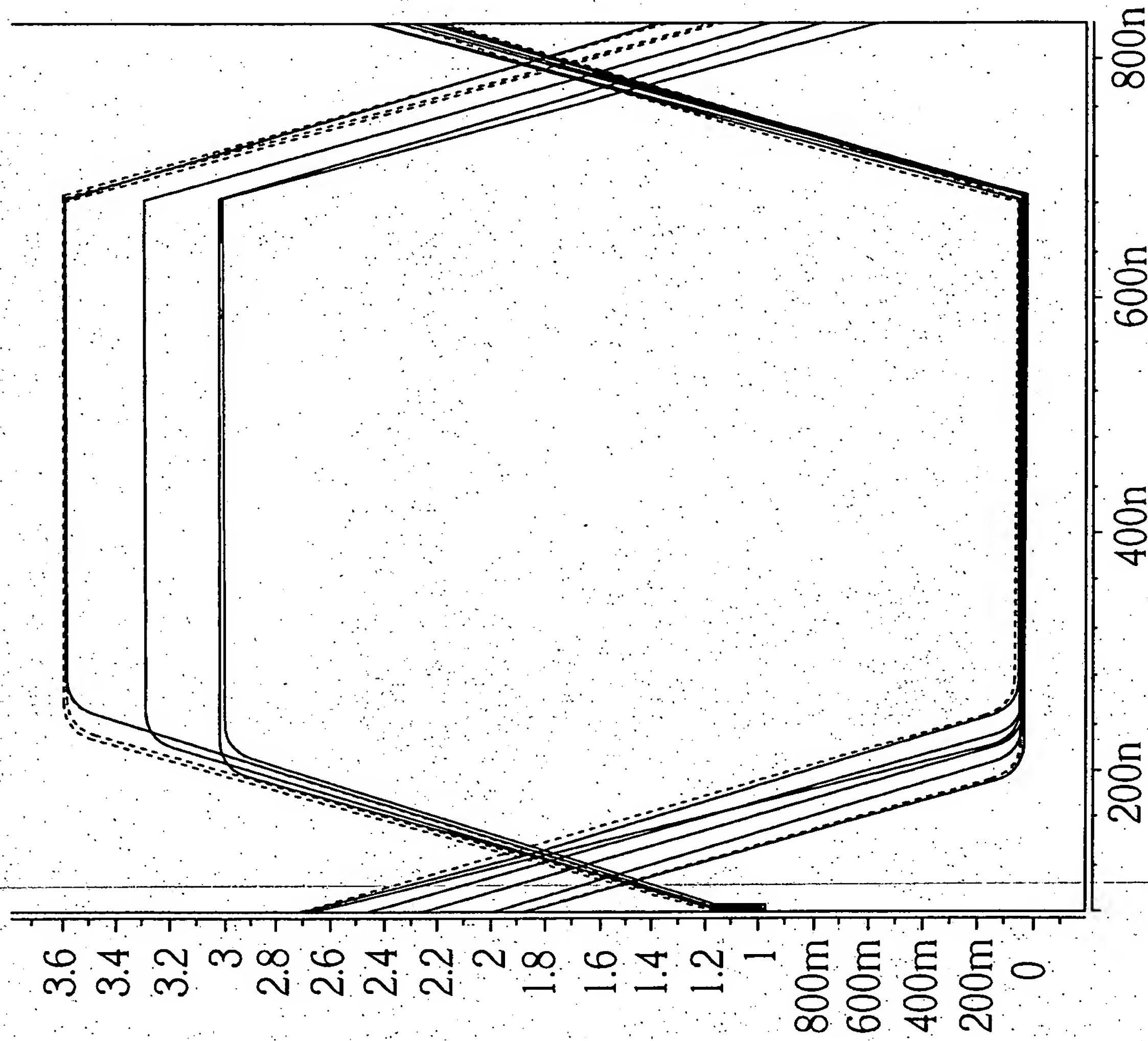


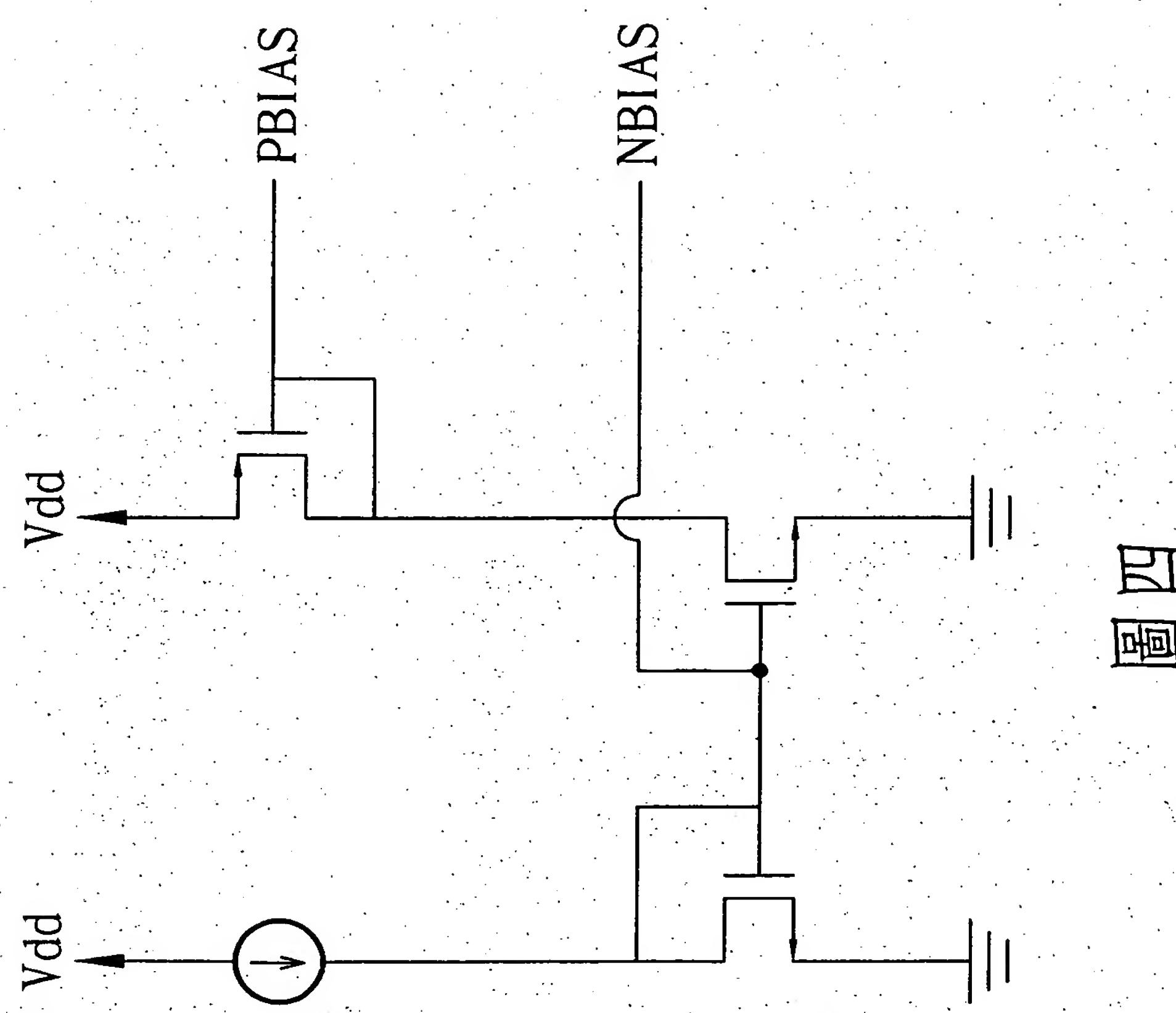
圖一

圖二



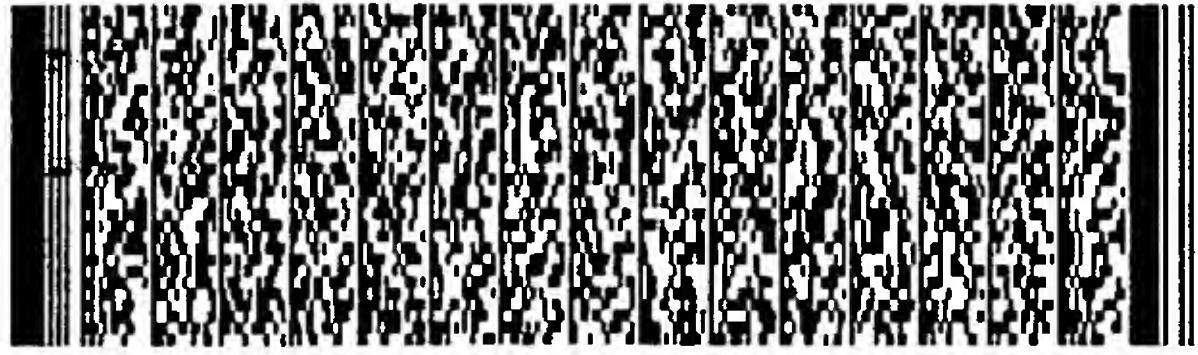
圖二



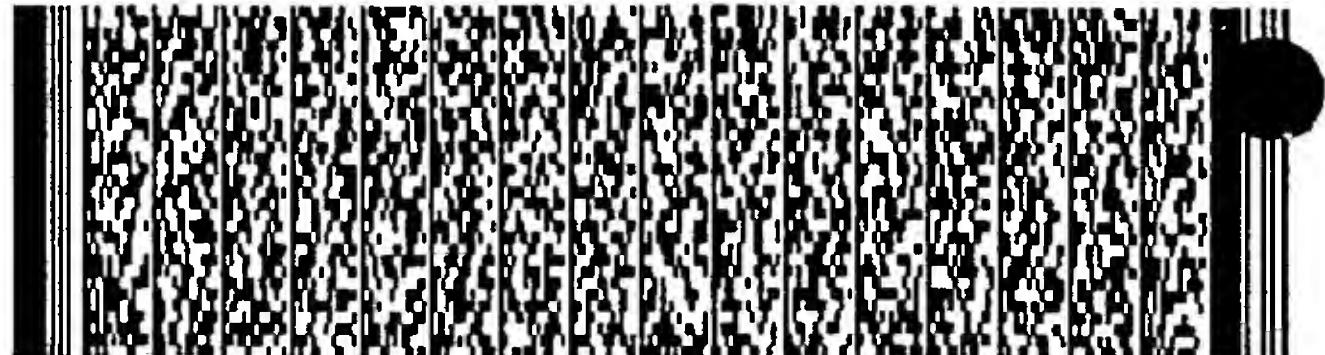


圖四

第 1/19 頁



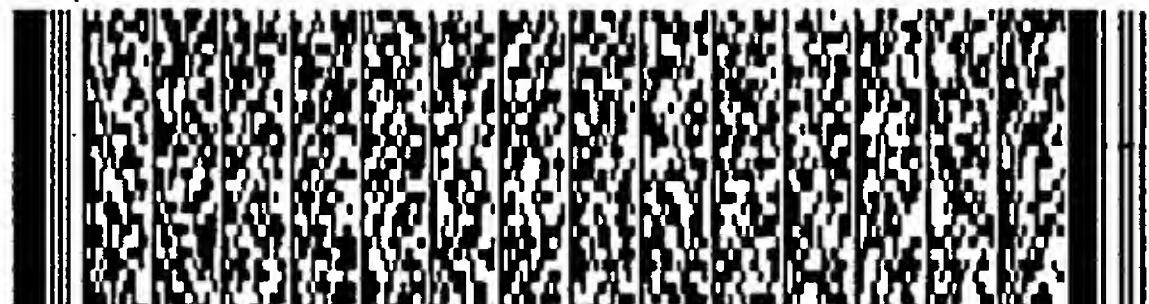
第 2/19 頁



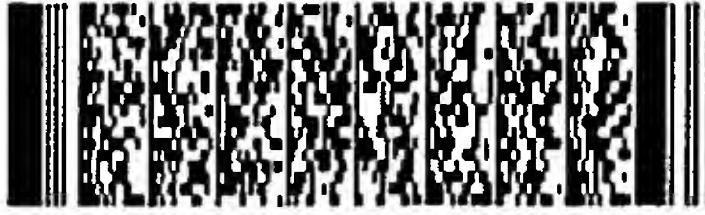
第 3/19 頁



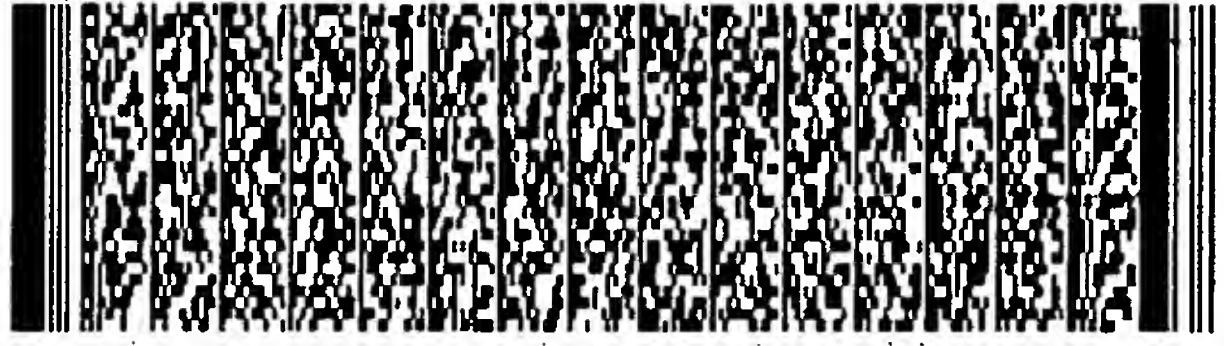
第 4/19 頁



第 5/19 頁



第 6/19 頁



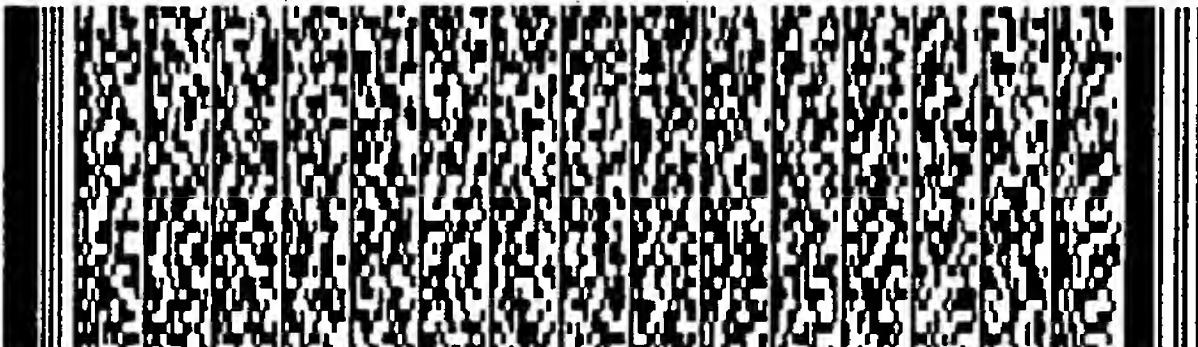
第 6/19 頁



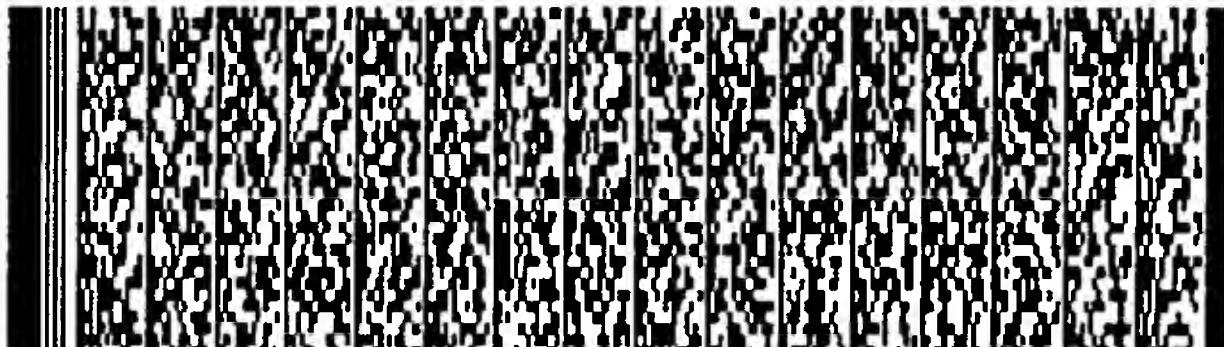
第 7/19 頁



第 7/19 頁



第 8/19 頁



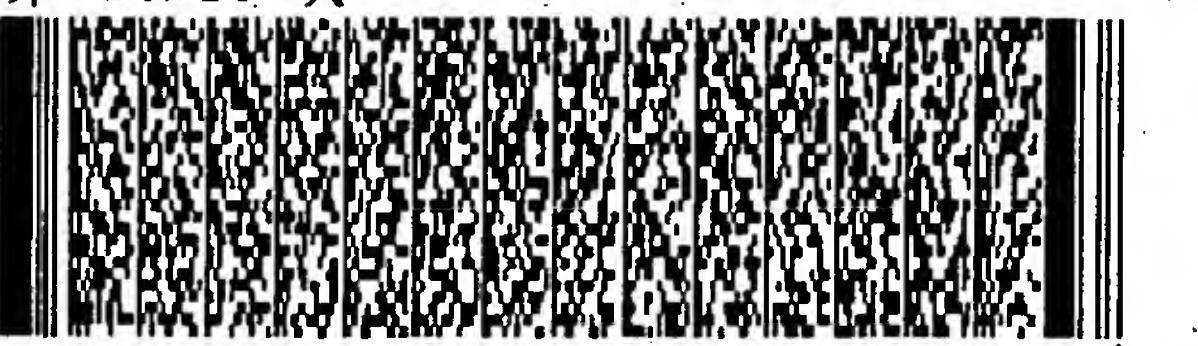
第 9/19 頁



第 9/19 頁



第 10/19 頁



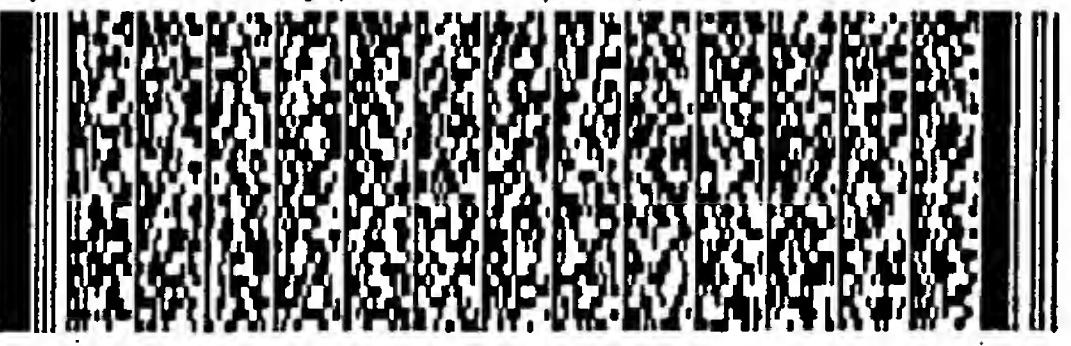
第 10/19 頁



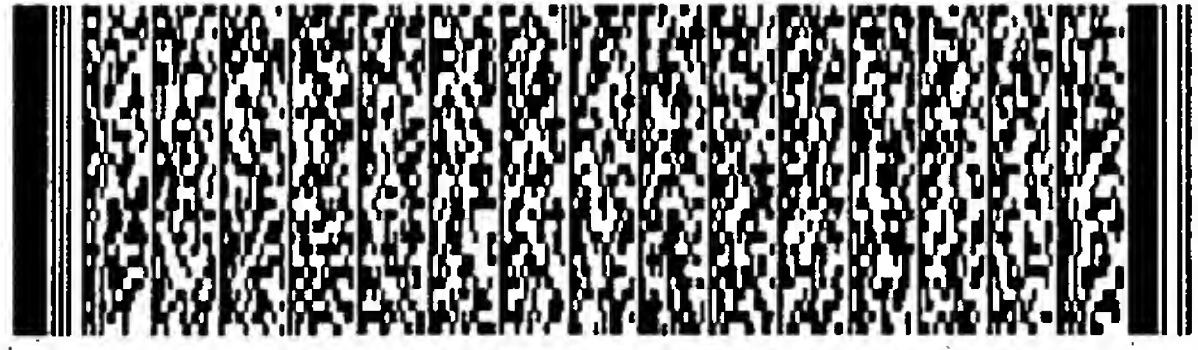
第 11/19 頁



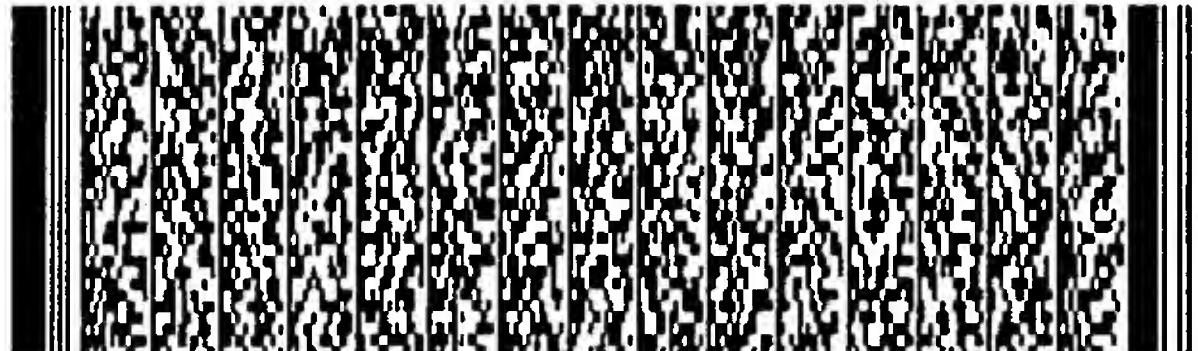
第 11/19 頁



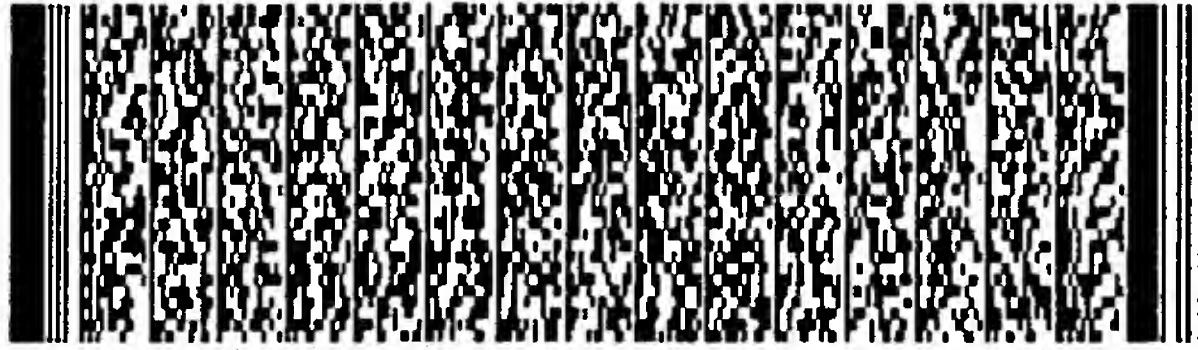
第 12/19 頁



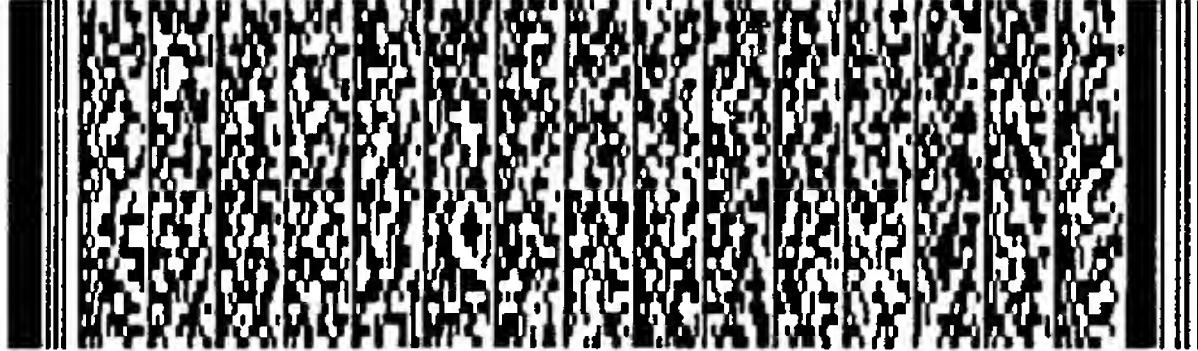
第 13/19 頁



第 14/19 頁



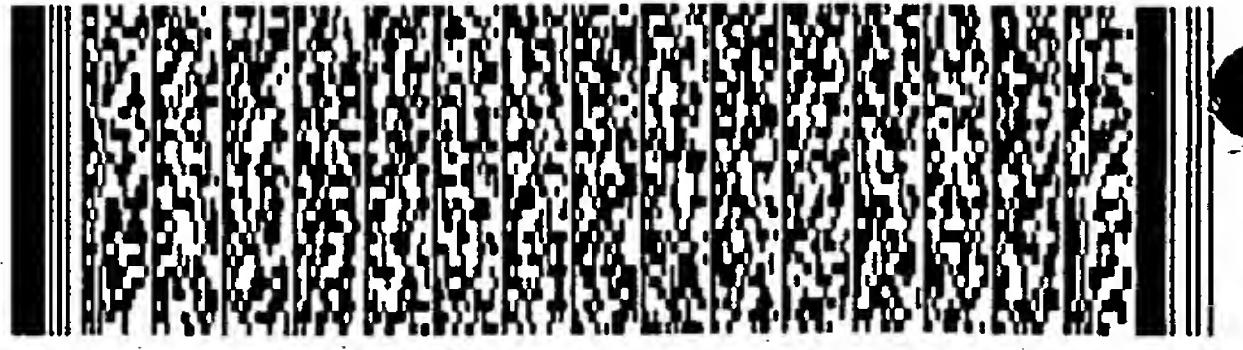
第 16/19 頁



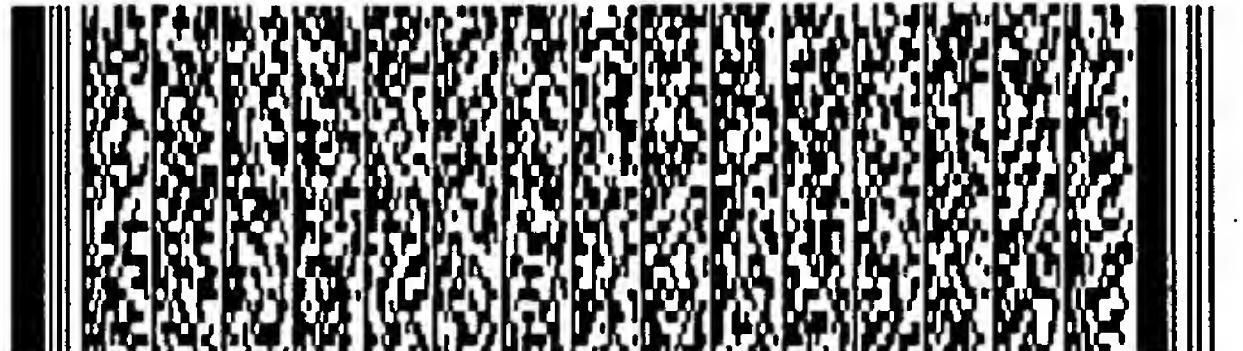
第 18/19 頁



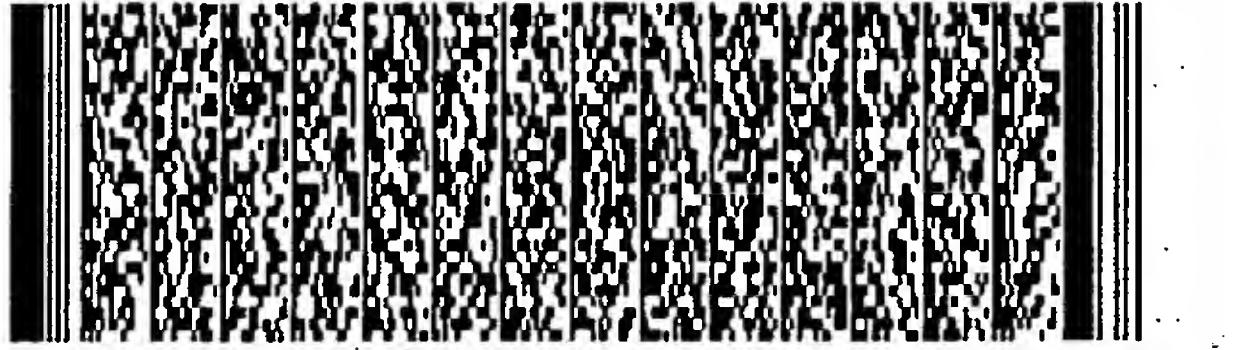
第 12/19 頁



第 13/19 頁



第 15/19 頁



第 17/19 頁



第 19/19 頁



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.